



JFW
Micronas 7867

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: Herz et al. GROUP: 2186

SERIAL NO: 10/763,048 EXAMINER: N/A

FILED: January 22, 2004

FOR: STORAGE DEVICE FOR A MULTIBUS ARCHITECTURE

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Enclosed please find the certified copy of the foreign application from which priority is claimed for this case:

Country: Germany

Appln No.: 103 02 287.2

Filing Date: January 22, 2003

Respectfully submitted,

Patrick J. O'Shea
Reg. No. 35,305
O'Shea, Getz & Kosakowski, P.C.
1500 Main Street, Suite 912
Springfield, MA 01115
(413) 731-3100, Ext. 102

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date below, with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Sarah L. Henry
Sarah L. Henry
3/14/06
Date

BUNDESREPUBLIK DEUTSCHLAND



BEST AVAILABLE COPY

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 02 287.2
Anmeldetag: 22. Januar 2003
Anmelder/Inhaber: Micronas GmbH, 79108 Freiburg/DE
Bezeichnung: Speichervorrichtung für eine Multibus-Architektur
IPC: G 06 F 13/38

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident

Im Auftrag

A handwritten signature in black ink, appearing to read "OMW".

CERTIFIED COPY OF
PRIORITY DOCUMENT

WESTPHAL, MUSSGNUG & PARTNER
Patentanwälte · European Patent Attorneys

MICRONAS GmbH
Hans-Bunte-Straße 19
79108 Freiburg

- Patentanmeldung -

Speichervorrichtung für eine Multibus-Architektur

Speichervorrichtung für eine Multibus-Architektur

Die Erfindung bezieht sich auf eine Speichervorrichtung für
5 eine Multibus-Architektur mit den oberbegrifflichen Merkmalen
des Patentanspruchs 1, eine Speicheranordnung mit einer
Vielzahl solcher Speichervorrichtungen bzw. ein Verfahren zum
Steuern einer solchen Speichervorrichtung.

10 Um in Signalprozessoren einen hohen Datendurchsatz zu
erreichen, verfügen diese oft über mehrere angeschlossene
Lese-/Schreibusse, über welche gleichzeitig auf einen
Datenspeicher zugegriffen werden kann. Die Ansteuerung von
15 Speicheradressen erfolgt dabei über die Lese-/Schreibusse
durch abwechselndes Übertragen von Adress- und
Informationsdaten oder durch das Übertragen von Adressen über
einen separaten Adressbus.

Bei derartigen Anordnungen eines oder mehrerer Datenspeicher
20 an mehreren Bussen, d. h. einer Multibus-Architektur, ist die
Anbindung als solches nachteilhaft gelöst. Für einen
effizienten Speicherzugriff zum Speichern von Daten in dem
Speicher oder Auslesen von Daten aus dem Speicher sind
derzeit zwei Ansätze üblich. Entweder wird ein Mehrport-
25 Speicher eingesetzt, der mehrere Speicheranschlüsse zum
Zugriff auf die verschiedenen Busse aufweist, oder die
verschiedenen Busse sind nur an jeweils voneinander
abgetrennten Speicherblöcken angeschlossen.

30 Ersteres hat den Nachteil, dass ein Mehrport-Speicher
aufwändiger zu implementieren ist, als ein Einport-Speicher.
Zweiteres hat den Nachteil, dass die Trennung der
Speicherblöcke negative Auswirkungen auf die
Programmflexibilität und auf die Ausführungsgeschwindigkeit
35 hat. So muss z. B. die Speicheraufteilung im Programmcode
definiert werden, was in Hochsprachen, z. B. C, oftmals nicht
vorgesehen ist.

Die Aufgabe der Erfindung besteht darin, eine Speichervorrichtung für eine Multibus-Architektur vorzuschlagen, welche einen effizienteren Speicherzugriff ermöglicht. Außerdem soll eine Speicheranordnung mit einer Vielzahl solcher Speichervorrichtungen sowie ein Verfahren zum Betreiben solcher Speichervorrichtungen vorgeschlagen werden.

10 Diese Aufgabe wird durch eine Speichervorrichtung für eine Multibus-Architektur mit den Merkmalen des Patentanspruchs 1, eine Speicheranordnung mit einer Vielzahl solcher Speichervorrichtungen mit den Merkmalen des Patentanspruchs 9 bzw. ein Verfahren zum Betreiben einer solchen

15 Speichervorrichtung mit den Merkmalen des Patentanspruchs 12 gelöst.

Ausgegangen wird von der Speichervorrichtung für eine Multibus-Architektur mit zumindest einem Speicher zum Speichern von Daten, Informationen und/oder Adressen, einem Speicheranschluss mit einem Port zum Anschließen des Speichers an einen ersten Bus einer Multibus-Architektur, wobei der Speicheranschluss, der Port und der erste Bus Datenleitungen zum Übertragen der Daten und gegebenenfalls Adressleitungen zum Übertragen von Adressen und/oder Steuerinformationen zum Ansteuern des Speichers und gegebenenfalls anderer am jeweiligen Bus angeschlossener Einrichtungen aufweist.

20 25 Eine Schalteinrichtung dient zum wahlweisen Anschließen des Speicheranschlusses an den ersten Bus oder einen weiteren der Busse für einen Speicherzugriff zum Übertragen von Daten, Adressen und/oder Steuerinformationen von oder zu diesen. Vorteilhafterweise weist eine Speicheranordnung, insbesondere eine Speicheranordnung in einem Prozessor oder in direkter Schaltung mit einem Prozessor, eine Vielzahl solcher Speichervorrichtungen auf, welche verfahrensgemäß an

wahlweise jeweils einen der verschiedenen Busse angeschaltet werden.

Vorteilhafte Ausgestaltungen sind Gegenstand abhängiger

5 Ansprüche.

Die Speichervorrichtung weist vorteilhafte Weise eine speicherspezifische Logikeinrichtung und eine Unterbrechungsleitung zum Übertragen eines

10 Unterbrechungssignals zum Prozessor auf, welcher die Gesamtanordnung steuert, wobei durch das Senden des Unterbrechungssignals eine Unterbrechung des Prozessorfortschritts dann für einen Takt ausgelöst wird, wenn ein Speicherzugriff des Speichers auf bzw. auf den 15 Speicher von zwei verschiedenen der Busse innerhalb von zwei aufeinanderfolgenden Takten erfolgen soll.

Vorteilhafte Weise weist der Speicher eine Adressanalyseeinrichtung zum Analysieren von Adressen auf den 20 Bussen und/oder dem Speicher zugeordneten Adressleitungen für Speicherzugriffe und zum entsprechenden Schalten der Schalteinrichtung auf einen der entsprechenden der Busse auf.

25 Die Analyseeinrichtung dient zum Analysieren eines Teils der Adressen und zum Schalten und Zuordnen eines Speicherzugriffs für Adresssteile kleiner der Wortbreite eines die Adressen übertragenden Busses bzw. der Adressleitungen, so dass der Speicher kleiner als der eigentlich erforderliche Speicherplatz sein kann. Weitere zu speichernde Daten werden 30 in einem anderen Speicher abgelegt.

Eine einstellbare, insbesondere programmierbar einstellbare Separatoreinrichtung zum Ablegen der Speicher- bzw.

35 Zugriffsadresse für den Speicher für die Analyse durch die Analyseeinrichtung ermöglicht dem Speicher, beliebige Adressen zuzuweisen, um z. B. externe Speicher überdecken zu können.

Die Analyseeinrichtung weist vorteilhafte Weise eine gemeinsame Zugriffssteuereinrichtung für das Schalten der Schalteinrichtung und jeweils pro Bus eine

5 Vergleichereinrichtung zum Vergleichen der Adresse mit der Speicheradresse des Speichers auf, wodurch der Bauteilaufwand reduzierbar ist.

In der Analyseeinrichtung ist eine Modifizierungseinrichtung
10 vorteilhaft, die für das Bearbeiten verschiedener Daten und/oder Zugriffstypen ausgebildet ist, die über von der Schalteinrichtung ausgewählten Daten-, Subadress- und/oder Zugriffssignal-Leitungen an einen Datenspeicherabschnitt des Speichers zum Übertragen der Zustände auf den Busleitungen
15 anliegen.

Eine Logikeinrichtung zum Ausgeben eines Blockverlustsignals über eine Verlustleitung zum Prozessor dient zum Signalisieren für den Fall einer Abweichung von angekündigten
20 und durchgeführten Datenübertragungen beim Speicherzugriff.

Eine bevorzugte Speicheranordnung weist eine Vielzahl von solchen Speichern auf, die an einer Multibus-Architektur mit einer Vielzahl von Bussen angeschlossen sind. Dabei können alle oder einzelne der Speicher auch nur an einen Teil der Busse anschaltbar sein.
25

Insbesondere im Fall eines Wechsels zwischen Lese- und Schreibzugriff für einen der Speicher werden verschiedene der
30 Speicher durch einen gemeinsamen Prozess taktweise abwechselnd angesteuert.

Vorteilhaft ist der Einsatz solcher Speicher insbesondere als Speicher für einen Prozessor.

35 Vorteilhafte Weise wird ein Unterbrechungssignal zum Aussetzen des Prozessortaktes eines übergeordneten Prozessors

oder zum Wählen eines anderen Speichers durch eine speicherspezifische Logikeinrichtung erzeugt und ausgesendet, wenn ein Speicherzugriff des Speichers auf zwei verschiedene der Busse oder zweier verschiedener Busse auf den Speicher 5 innerhalb von zwei aufeinanderfolgenden Taktten erfolgen soll, um Datenverluste vermeiden zu können.

Ein Steuersignal wie ein Taktsteuersignal zum Unterbrechen des Prozessortaktes oder wie ein Speicherauswahlsignal zum 10 Auswählen einer anderen Speichervorrichtung durch den Prozessor mittels der Logik zu erzeugen und zum Prozessor zu senden, verhindert Datenverluste oder Ausfallzeiten bei Umschaltvorgängen zwischen Lese- und Schreibzuständen.

15 Für Speicherzugriffe werden dem Speicher zugeordnete Adressleitungen auf den Bussen oder separate Adressleitungen zum Bestimmen der Schaltstellung der Schalteinrichtung analysiert.

20 Dabei können auch Adressteile kleiner der Wortbreite der Adresse als zugeordnete Speicheradresse bei der Analyse gesucht und als Schaltkriterium verwendet werden, dies vorteilhafterweise bei Verteilung von Daten auf mehrere solcher Speicher.

25 Dazu kann ein Verfahren verwendet werden, bei dem die höchstwertigen Bit der Adresse zur Bestimmung der Zugriffsadresse mit einem einstellbaren, insbesondere programmierbar einstellbaren Register verglichen und der Speicherzugriff nur bei Übereinstimmung freigegeben wird.

Diese Verfahrensweise kann z. B. zum Durchführen eines Overlay-Verfahrens eingesetzt werden, bei dem ein anderer, insbesondere langsamerer und größerer Speicher überdeckt 35 wird.

Zum Steuern der Schalteinrichtung werden ausgewählte Daten-, Subadress- und/oder Zugriffssignal-Leitungen eines ausgewählten Busses zum Erzeugen von Schalt- und Steuersignalen für den Fall verwendet, dass über den ausgewählten Bus übertragene Daten bzw. Informationen hinsichtlich des Datenumfangs nicht mit dem pro Speicher-Zugriffsschritt verfügbaren Speicherplatz-Umfang übereinstimmen.

10 Ausführungsbeispiele werden nachfolgend anhand der Zeichnung näher erläutert. Es zeigen:

15 Fig. 1 schematisch eine Speichervorrichtung mit einem Speicher, der mittels einer Schalteinrichtung an verschiedene Busse einer Multibus-Architektur angeschlossen werden kann; und

20 Fig. 2 eine bevorzugte Speichervorrichtung mit einer detaillierteren Darstellung einzelner bevorzugter Komponenten einer Logik zum Steuern der Schalteinrichtung.

25 Wie dies aus Fig. 1 ersichtlich ist, ist eine beispielhafte Speichervorrichtung an eine Multibus-Architektur mit hier drei Bussen P, D0, D1 angeschlossen. Dabei sind die dargestellten und beschriebenen Einrichtungen und Funktionen nur beispielhaft zur Erläuterung des Grundprinzips eines Speichers M, welcher über eine Schalteinrichtung SW an wahlweise einen von mehreren Bussen P, D0, D1 der Multibus-Architektur angeschlossen werden kann. Weitere für den Betrieb einer solchen Speichervorrichtung gegebenenfalls erforderliche Komponenten, beispielsweise Adress- und sonstige Steuerbusse, sind gemäß dem üblichen Fachwissen hinzuzufügen.

35 Vorteilhafterweise wird ein solcher Speicher M gemäß der bevorzugten Ausführungsform als Speicher M an einer Multibus-

Architektur eines Prozessors PU ausgebildet und angeordnet. Zweckmäßigerweise weist der Prozessor PU eine Speicheranordnung mit Vielzahl derartiger Speicher M auf, von denen je Bus einer gleichzeitig für einen Speicherzugriff angesteuert werden kann. Unter einem Speicherzugriff ist dabei einerseits das Beschreiben eines Speichers M mit Daten, insbesondere Informationsdaten, und andererseits das Auslesen von solchen Daten aus einem Speicherbereich des Speichers M über einen der Busse P, D0, D1 zu verstehen. Die dargestellten Busse P, D0, D1 führen direkt in den Prozessor PU, wobei diesbezüglich erforderliche Steuereinrichtungen, Schnittstellenkomponenten und dergleichen nicht dargestellt sind, da diese in üblicher Art und Weise ausgeführt werden können. Selbiges gilt für Steuerleitungen BML, STL zum Übertragen z.B. eines Blockverlustsignals bm beziehungsweise eines Unterbrechungssignals st oder auch weiterer Steuersignale.

Der eigentliche Speicher bzw. Speicherbereich M der Speichervorrichtung weist einen Speicheranschluss B in Form eines Speicherports üblicher Art und Weise auf. Der Speicheranschluss ist über Datenleitungen DL bzw. die Datenleitungen DL eines Datenbusses mit einer Schalteinrichtung SW verbunden. Die Schalteinrichtung SW schaltet die Datenleitungen DL über entsprechende Leitungen PL, D0L, D1L und entsprechende externe Ports BP, B0, B1 an wahlweise einen der Busse P, D0 oder D1.

Zum Schalten der Schalteinrichtung SW dient eine Logik L, welche in Verbindung mit vorzugsweise weiteren Einrichtungen, beispielsweise einem Speicher-Separator-Register (Memory Tag Register) MTR und zumindest einem Vergleicher CU verbunden ist. Die Blockverlustleitung BML geht dabei beispielsweise vom Vergleicher CU aus zum Prozessor PU, während die Unterbrechungssignalleitung STL von der Logikeinrichtung L selber zum Prozessor PU führt.

In bevorzugter Ausführungsform wird ein üblicher gemeinsamer Datenspeicher als Speicheranordnung des Prozessors PU in mehrere Blöcke unterteilt, welche wie der dargestellte Speicher M jeweils nur einen einzigen internen

5 Zugriffsanschluss B aufweisen. An jeden dieser Speicher M werden mehrere Lese-/Schreibbusse P, D0, D1 über die Schalteinrichtung SW angeschlossen. Die in dem Block integrierte Logik L steuert als eine Zugriffssteuerungseinrichtung den Speicherzugriff der 10 verschiedenen Busse auf den Block und den darin befindlichen Speicher M bzw. des Speichers M auf einen der Busse P, D0, D1. Natürlich muss bei einer solchen Anordnung nicht zwingend jeder der Speicher M an jeweils alle der Busse P, D0, D1 anschaltbar sein.

15 Soll von zwei der Busse P, D0, D1 zur gleichen Zeit auf den gleichen Speicher M zugegriffen werden, sendet die Logikeinrichtung L das Unterbrechungssignal st über die Unterbrechungssignalleitung STL zum Prozessor PU oder einer 20 Taktsteuereinrichtung des Prozessors PU, um den Takt für den Prozessor für einen Taktzyklus auszusetzen oder den Prozessor für einen Takt anzuhalten, so dass nacheinander die Zugriffe auf die beiden anfordernden Busse mittels der Schalteinrichtung SW geschaltet und die entsprechenden Zustände auf den Busleitungen übertragen werden können. Alternativ kann aber auch eine entsprechende Programmierung und/oder Verschaltung des Prozessors PU das Aussetzen für 25 einen Takt berücksichtigen.

30 Insbesondere ist ein Schreibzugriff in kleineren Einheiten als der Wortbreite der Busse möglich, ohne dabei einen Takt zu verlieren, also z. B. byte-weises Zugreifen bei einem 32-Bit-Bus. Das eigentliche Lesen-Modifizieren-Schreiben benötigt dabei wie üblich zwei Takte. Um den Taktverlust zu 35 vermeiden, wird durch die dem Speicher M vorgelagerte Logik L und die weiteren damit verbundenen Einrichtungen entweder eine Zwischenspeicherung vorgenommen oder ein entsprechendes

Zugriffssteuersignal st mit dem Prozessor PU ausgetauscht, damit dieser Speicher M im nächsten Taktzyklus nicht angesprochen wird, so dass der Prozessor PU nicht angehalten werden muss, sondern der Prozessor PU während des nächsten Taktzyklus auf einen anderen der Speicher M zugreift.

Vorteilhafterweise ist die speicherblockspezifische Logik L um einen Vergleicher CU erweiterbar, welcher die höchstwertigen Bit der Adresse mit einem einstellbaren,

10 insbesondere über Programmierung einstellbaren Register vergleicht und nur bei Übereinstimmung arbeitet, so dass sich die einzelnen Speicher M einer Vielzahl solcher Speicher M beliebig im linearen Adressraum anordnen lassen.

Beispielsweise kann ein Speicher eines langsamen externen Speichermoduls durch einen Speicherzugriff auf den Speicher M überdeckt werden und beim Beenden eines entsprechend dedizierten Programmabschnitts zurückkopiert werden. Dieses für sich als Overlay-Verfahren bekannte Verfahren erlaubt einen schnellen Zugriff auf die Daten, obwohl der interne Speicher M des Prozessors gegebenenfalls kleiner als der Speicher ist, welcher in der Anwendung benötigt wird. Zweckmäßigerweise wird ein größerer erforderlicher Speicherbereich somit durch eine Aufteilung auf mehrere kleinere Speicher M verwaltet.

25 Der in Fig. 1 dargestellte Speicher M weist nur eine Datenleitung bzw. einen Datenbus DL auf. Prinzipiell ist es möglich, über einen einzelnen Bus in zeitlicher Abfolge Adressdaten und Informationsdaten zu übertragen, wobei die Adressdaten jeweils angeben, zu welchen bzw. von welchen Speichern M oder Adressen innerhalb der Speicher M die Informationsdaten als eigentliche Daten d zu übertragen sind. Alternativ ist auch eine Verwendung eines separaten Adressbusses möglich, über welchen die reinen Adressdaten übertragen werden, so dass über den Datenbus DL nur reine Nutzdaten und gegebenenfalls weitere zusätzliche Adress- und Steuerinformationen übertragen werden.

Fig. 2 stellt ein detaillierteres Ausführungsbeispiel dar,
bei dem wiederum ein Speicher M mit vorzugsweise einer
Vielzahl adressierbarer Speicherplätze über eine

5 Schalteinrichtung SW an einen von mehreren Bussen P, D0, D1,
R einer Multibus-Architektur schaltbar ist.

Bei dem dargestellten Beispiel ist der Speicheranschluss B in
einen Adress-Speicheranschluss und einen Daten-

10 Speicheranschluss aufgeteilt. Dem Adress-Speicheranschluss
werden die über einen separaten Adressbus oder, wie
vorstehend beschrieben, einen der Busse P, D0, D1, R
übertragene Adressen zur Adressierung von internen
Speicherplätzen des Speichers M angelegt. Dabei wird beim
15 dargestellten Ausführungsbeispiel jeweils die
Adressinformation von dem aktiv geschalteten der Busse P
zugeführt.

Möglich ist dabei insbesondere, dass auch nur über den als
20 Programmierbus ausgestalteten Bus P Adressen zugeführt
werden, so dass regelmäßig oder jeweils nach Abschluss eines
Speicherzugriffs die Schalteinrichtung SW eine Umschaltung zu
dem Programmierbus P durchführt. Für einen Datenzugriff wird
dann gegebenenfalls zu dem erforderlichen der weiteren Busse
25 D0, D1, R umgeschaltet.

Ausgehend von den Bussen P, D0, D1, R, welche beispielsweise
als 32-Bit-Busse ausgestaltet sind, führt eine 32-Bit-Leitung
zu einem Dateneingangsschalter der Schalteinrichtung SW. Je
30 nach Schaltstellung der Schalteinrichtung SW wird somit eine
32-Bit-Datenleitung bzw. ein 32-Bit-Datenbus DL von dem
gewählten der Busse P, D0, D1, R über die Schalteinrichtung
SW zu dem Daten-Speicheranschluss des Speicheranschlusses B
geföhrt, um entsprechende Daten bzw. Leitungszustände in den
35 zu diesem Moment adressierten Speicherbereich des Speichers M
zu schreiben oder aus diesem auszulesen.

Die Datenleitung DL, welche von jedem der Busse P, D0, D1, R zu dem entsprechenden Schaltanschluss der Schalteinrichtung SW führt, weist am Eingang der aus vielen Einzelkomponenten bestehenden Logikeinrichtung L einen Splitter SP auf, welcher beispielsweise in Form eines Abgriffes ausgebildet ist, wobei die einzelnen der Datenleitungen des Datenbusses DL abgegriffen und als Adressleitungen AL einer Teilungseinrichtung DIV zugeführt werden. Die Teilungseinrichtung DIV teilt beim vorliegenden Beispiel zehn der Adressleitungen AL heraus und führt diese zu einem entsprechend geschalteten Adressleitungseingang der Schalteinrichtung SW. Je nach Schaltstellung wird entsprechend das Adresssignal des ausgewählten der Busse P, D0, D1, R an den Adress-Speichereingang des Speicheranschlusses B des Speichers M angelegt.

Außerdem werden aus der Teilungseinrichtung DIV zwei Adressleitungen SAL zum Übertragen von Subadressen herausgeteilt und einem entsprechend geschalteten Eingang der Schalteinrichtung SW zugeführt, welche die Subadresse des ausgewählten Busses P, D0, D1, R an eine Modifizierungseinrichtung MOD weiterleitet.

Die Splittereinrichtung SP splittet auch Datenleitungen, beispielsweise vier solche Leitungen ACL mit einer Information über den Zugriffstyp aus den eigentlichen Datenleitungen 32 heraus und führt diese zu einem entsprechend geschalteten Eingang der Schalteinrichtung SW. Diese legt die Signale bzw. Zustände der Adresstyp-Leitungen ACL je nach Schaltstellung vom ausgewählten der Busse P, D0, D1, R ebenfalls an die Modifizierungseinrichtung MOD an.

Die Modifizierungseinrichtung MOD ist außerdem zwischen die geschaltete Datenleitung DL und den Daten-Speicheranschluss B geschaltet. Die Modifizierungseinrichtung MOD dient zum Modifizieren der empfangenen Daten d des ausgewählten Busses P, D0, D1, R und berücksichtigt als Zugriffstyp insbesondere

einen Schreib- oder Lesezugriff, die Tatsache, ob es sich um ein vollständiges Wort (word), ein gekürztes Wort (short) oder nur ein Byte von einem ursprünglichen Datenwort auf der Datenleitung DL handelt, welches beim Speicherzugriff zu übertragen ist, oder ob es sich um ein in irgendeiner Art und Weise erweitertes Zeichen oder Signal handelt.

Außerdem gibt die Modifizierungseinrichtung MOD u.a. ein Lese-Modifizier-Schreibsignal an eine

10 Zugriffssteuereinrichtung ARB als weiterem Bestandteil der Logik L weiter. Die Zugriffssteuereinrichtung ARB steuert in Verbindung mit dem Prozessor PU den Zugriff auf den Speicher M. Die Zugriffssteuereinrichtung ARB steuert außerdem die Betätigung der Schalteinrichtung SW.

15 Vorteilhafterweise weist die Speicherlogik L als Adressanalyseeinrichtung oder Teil davon auch ein Speicher-Separator-Register (Memory Tag Register) MTR auf, welches beispielsweise über den Bus R mit einer Zugriffssadresse des Speichers M programmierbar ist. Das Speicher-Separator-Register MTR weist vorteilhafterweise auch eine Überlaufleitung AGL auf, um einen Speicherüberlaufschutz zu ermöglichen.

25 25 Von der Teilungseinrichtung DIV werden Adressleitungen, vorliegend 20 der Adressleitungen AL abgezweigt, welche jeweils einer Vergleichereinrichtung CU zugeführt werden. Die Vergleichereinrichtung CU vergleicht die derart empfangenen Adressdaten mit den im Speicher-Separator-Register MTR abgespeicherten Adressdaten und liefert das Vergleichsergebnis zur weiteren Verarbeitung an die Zugriffssteuereinrichtung ARB.

Patentansprüche

1. Speichervorrichtung für eine Multibus-Architektur mit
- zumindest einem Speicher (M) zum Speichern von Daten (d),

5 Informationen und/oder Adressen,

- einem Speicheranschluss (B) mit einem Port (B0) zum
Anschließen des Speichers (M) an einen ersten Bus (D0) einer
Multibus-Architektur (P, D0, D1, R),

- wobei der Speicheranschluss (B), der Port (B0) und der

10 erste Bus (P) Datenleitungen (DL) zum Übertragen der Daten
(d) und gegebenenfalls zum Übertragen von Adressen (a)

und/oder Steuerinformationen zum Ansteuern des Speichers (M)
aufweist,

g e k e n n z e i c h n e t durch

15 - eine Schalteinrichtung (SW, MTR, CU, ARB, MOD) zum
wahlweisen Anschließen des Speicheranschlusses (B) an einen
der Busse (D1, P, R) für einen Speicherzugriff zum Übertragen
von Daten, Adressen und/oder Steuerinformationen von bzw. zu
diesem.

20

2. Speichervorrichtung nach Anspruch 1 mit einer
speicherspezifischen Logikeinrichtung (L) und einer
Unterbrechungsleitung (STL) zum Übertragen eines
Unterbrechungssignals (st) zu einer Prozessoranordnung (PU),
zum Steuern der Gesamtanordnung derart, dass durch das Senden
des Unterbrechungssignals (st) eine Unterbrechung des
Prozessorfortschritts immer dann für einen Takt ausgelöst
wird, wenn ein Speicherzugriff des Speichers (M) auf zwei
verschiedene der Busse (P, D0, D1, R) bzw. auf den Speicher
30 (M) von diesen innerhalb von zwei aufeinanderfolgenden Takten
erfolgen soll.

25

3. Speicher nach Anspruch 1 oder 2 mit einer dem Speicher (M)
vorgeschalteten Adressanalyseinrichtung (ARB, CU) zum
Analysieren von Adressen auf den Bussen und/oder dem Speicher
zugeordneten Adressleitungen (AL) für Speicherzugriffe und

zum entsprechenden Schalten der Schalteinrichtung (SW) auf einen der entsprechenden der Busse (P, D0, D1, R).

4. Speichervorrichtung nach Anspruch 3, bei der die

5 Analyseeinrichtung (ARB, CU) zum Analysieren eines Teils der Adressen und zum Schalten und Zuordnen eines Speicherzugriffs für Adressteile kleiner der Wortbreite einer die Adressen übertragenden Busses bzw. der Adressleitungen (AL) ausgebildet ist.

10

5. Speichervorrichtung nach Anspruch 3 oder 4 mit einer einstellbaren, insbesondere programmierbar einstellbaren Separatoreinrichtung (MTR) zum Ablegen einer Speicheradresse des Speichers (M) für die Analyse durch die

15 Analyseeinrichtung (ARB, CU).

6. Speichervorrichtung nach einem der Ansprüche 3 - 5, bei der die Analyseeinrichtung eine gemeinsame Zugriffssteuereinrichtung (ARB) für das Schalten der

20 Schalteinrichtung (SW) und jeweils pro Bus (P, D0, D1, R) eine Vergleichereinrichtung (CU) zum Vergleichen der Adresse mit der Speicheradresse des Speichers (M) aufweist.

7. Speichervorrichtung nach einem der Ansprüche 3 - 6, bei

25 der die Analyseeinrichtung eine Modifizierungseinrichtung (MOD) aufweist, die für das Bearbeiten verschiedener Daten- und/oder Zugriffstypen ausgebildet ist, die über von der Schalteinrichtung (SW) ausgewählten Daten-, Subadress- und/oder Zugriffssignal-Leitungen (DL, SAL, ACL) an der Modifizierungseinrichtung (MOD) und/oder an einem

30 Datenspeicherabschnitt des Speichers (M) zum Übertragen der Zustände auf den Busleitungen (DL) anliegen.

8. Speichervorrichtung nach einem der vorstehenden Ansprüche

35 mit einer bzw. der Logikeinrichtung (L, CU) zum Ausgeben eines Blockverlustsignals (BM) über eine Verlustleitung (BML) zu einer übergeordneten Prozessoranordnung (PU) für den Fall

einer Abweichung von angekündigten und durchgeführten Datenübertragungen beim Speicherzugriff.

9. Speicheranordnung mit einer Vielzahl von

5 Speichervorrichtungen nach einem vorstehenden Anspruch, die an einer Multibus-Architektur mit einer Vielzahl von Bussen (P, D0, D1, R) jeweils an jeweils einen der Busse schaltbar angeschlossen sind.

10 10. Speicheranordnung nach Anspruch 9, die - insbesondere im Fall eines Wechsels zwischen Lese- und Schreibzugriff für einen der Speicher (M) - zum taktweise abwechselnden Ansteuern verschiedener der Speicher (M) durch eine gemeinsame übergeordnete Prozessoranordnung (PU) ausgebildet
15 ist.

11. Prozessor mit zumindest einer Speichervorrichtung nach einem der Ansprüche 1 - 8 oder einer Speicheranordnung nach Anspruch 9 oder 10 als Prozessorspeicher.

20 12. Verfahren zum Betreiben einer Speichervorrichtung nach einem der Ansprüche 1 - 8 oder einer Speicheranordnung nach Anspruch 9 oder 10, bei dem
- ein Speicheranschluss (B) mittels einer Schalteinrichtung (SW) wahlweise an einen Bus (P) einer Vielzahl von Bussen (P, D0, D1, R) angeschlossen wird, über den nachfolgend eine Daten-, Adress- und/oder Steuerinformation zu übertragen ist.
25

13. Verfahren nach Anspruch 12, bei dem ein
30 Unterbrechungssignal zum Aussetzen des Prozessortaktes eines übergeordneten Prozessors (PU) durch eine speicherspezifische Logikeinrichtung (L) erzeugt und ausgesendet wird, wenn ein Speicherzugriff des Speichers auf zwei verschiedene der Busse oder ein Speicherzugriff zweier verschiedener Busse auf den
35 Speicher innerhalb von zwei aufeinanderfolgenden Takten erfolgen soll.

14. Verfahren nach Anspruch 12 oder 13, bei dem für Speicherzugriffe dem Speicher zugeordnete Adressleitungen auf den Bussen oder separate Adressleitungen zum Bestimmen der Schaltstellung der Schalteinrichtung in einer dem Speicher (M) vorgesetzten Logik (L) analysiert werden.

15. Verfahren nach Anspruch 14, bei dem Adresssteile kleiner der Wortbreite der Adresse als zugeordnete Speicheradresse bei der Analyse gesucht und als Schaltkriterium verwendet werden.

16. Verfahren nach Anspruch 14 oder 15, bei dem die höchstwertigen Bit der Adresse zur Bestimmung der Zugriffssadresse mit einem einstellbaren, insbesondere programmierbar einstellbaren, Register (MTR) verglichen und der Speicherzugriff nur bei Übereinstimmung freigegeben wird.

17. Verfahren nach Anspruch 16, bei dem zum Durchführen eines Overlay-Verfahrens ein anderer, insbesondere langsamerer und größerer Speicher überdeckt wird.

18. Verfahren nach einem der Ansprüche 12 - 17, bei dem zum Steuern der Schalteinrichtung (SW) ausgewählte Daten-, Subadress- und/oder Zugriffssignal-Leitungen eines ausgewählten Busses zum Erzeugen von Schalt- und Steuersignalen für den Fall verwendet werden, dass über den ausgewählten Bus übertragene Daten bzw. Informationen hinsichtlich des Datenumfangs nicht mit dem pro Speicher-Zugriffsschritt verfügbaren Speicherplatz-Umfang übereinstimmen.

19. Verfahren nach einem der Ansprüche 12 - 18, bei dem zur Kollisionsvermeidung von Speicherzugriffen ein Steuersignal als ein Taktsteuersignal zum Unterbrechen des Prozessortaktes oder als ein Speicherauswahlsignal zum Auswählen einer anderen Speichervorrichtung durch den Prozessor erzeugt und zum Prozessor (PU) gesendet wird.

Zusammenfassung

Speichervorrichtung für eine Multibus-Architektur

5

Speichervorrichtung für eine Multibus-Architektur mit

- zumindest einem Speicher (M) zum Speichern von Daten (d), Informationen und/oder Adressen,

10 - einem Speicheranschluss (B) mit einem Port (B0) zum Anschließen des Speichers (M) an einen ersten Bus (D0) einer Multibus-Architektur (P, D0, D1),

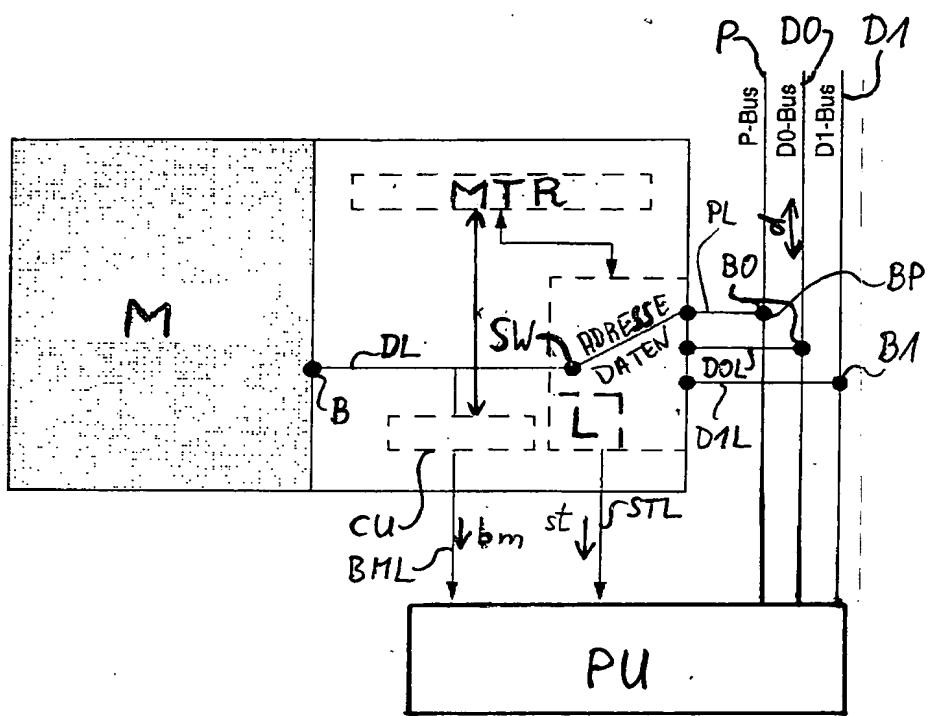
- wobei der Speicheranschluss (B), der Port (B0) und der erste Bus (P) Datenleitungen (DL) zum Übertragen der Daten

15 (P) 15 (d) und gegebenenfalls zum Übertragen von Adressen und/oder Steuerinformationen zum Ansteuern des Speichers (M) und gegebenenfalls anderer am jeweiligen Bus (D0) angeschlossener Einrichtungen aufweist.

20 Um eine effektivere Speicherverwaltung zu ermöglichen, wird vorgeschlagen, eine Schalteinrichtung (SW) zum wahlweisen Anschließen des Speicheranschlusses (B) an den ersten Bus (D0) und einen oder mehrere weitere der Busse (D1, P) für einen Speicherzugriff zum Übertragen von Daten, Adressen und/oder Steuerinformationen von oder zu diesen bereitzustellen.
25

Fig. 1

1/2



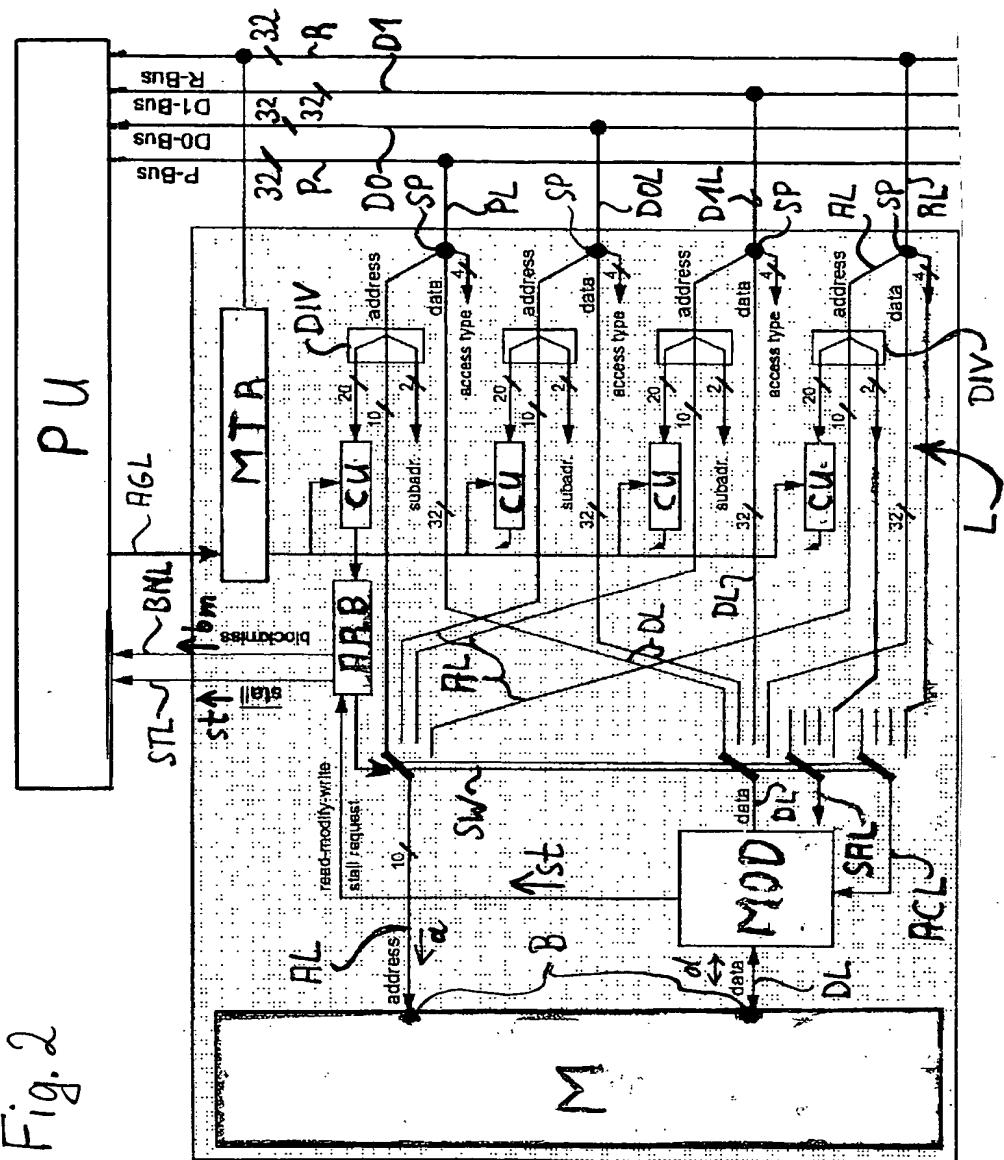


Fig. 2